

Docket No.: 60188-803

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Shiro DOSHO, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 15, 2004	:	Examiner: Unknown
	:	
For: LOW-PASS FILTER AND FEEDBACK SYSTEM	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2003-185573, filed June 27, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:tlb  
Facsimile: (202) 756-8087  
**Date: March 15, 2004**

60188-803  
March 15, 2004  
DOSHQ et al.

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 6 月 2 7 日

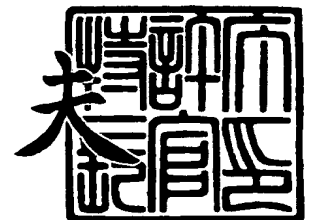
出 願 番 号  
Application Number: 特 願 2 0 0 3 - 1 8 5 5 7 3  
[ST. 10/C]: [ J P 2 0 0 3 - 1 8 5 5 7 3 ]

出 願 人  
Applicant(s): 松下電器産業株式会社

2 0 0 3 年 1 1 月 1 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 3 1 2 3

【書類名】 特許願

【整理番号】 2037650009

【提出日】 平成15年 6月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/093  
H03L 7/08

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 道正 志郎

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 森江 隆史

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 曾川 和昭

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

## 【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

## 【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

## 【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

## 【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

## 【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 低域ろ波回路およびフィードバックシステム

【特許請求の範囲】

【請求項 1】 第 1 の容量素子を有する第 1 の素子ブロックと、

抵抗素子および当該抵抗素子に直列に接続された電源を有し、一端に前記第 1 の素子ブロックの一端が接続され、他端に基準電圧が与えられた第 2 の素子ブロックと、

第 2 の容量素子を有し、前記第 2 の素子ブロックに並列に接続された第 3 の素子ブロックと、

前記第 1 の素子ブロックの他端に接続され、第 1 の電流を受ける第 1 の入力端と、

前記第 1 から第 3 の素子ブロックの接続箇所接続され、前記第 1 の電流の同方向所定倍に相当する第 2 の電流を受ける第 2 の入力端とを備え、

前記第 1 の素子ブロックの一端に生じた電圧を出力することを特徴とする低域ろ波回路。

【請求項 2】 第 1 の容量素子を有し、一端に第 1 の電圧が与えられた第 1 の素子ブロックと、

前記第 1 の素子ブロックの他端に生じた電圧を入力とする電圧バッファ回路、および当該電圧バッファ回路の出力側に直列に接続された抵抗素子を有し、一端に前記第 1 の素子ブロックの他端が接続された第 2 の素子ブロックと、

第 2 の容量素子を有し、一端に前記第 2 の素子ブロックの他端が接続され、他端に第 2 の電圧が与えられた第 3 の素子ブロックと、

前記第 1 の素子ブロックの他端に接続され、第 1 の電流を受ける第 1 の入力端と、

前記第 2 および第 3 の素子ブロックの接続箇所接続され、前記第 1 の電流の所定倍に相当する第 2 の電流を入力する第 2 の入力端とを備え、

前記第 2 および第 3 の素子ブロックの接続箇所に生じた電圧を出力することを特徴とする低域ろ波回路。

【請求項 3】 第 1 の容量素子を有し、一端に第 1 の電圧が与えられた第 1

の素子ブロックと、

抵抗素子および当該抵抗素子に直列に接続された電源を有し、一端に第2の電圧が与えられた第2の素子ブロックと、

第2の容量素子を有し、前記第2の素子ブロックに並列に接続された第3の素子ブロックと、

前記第1の素子ブロックの他端に生じた電圧を電流に変換する第1の電圧電流変換回路と、

前記第2の素子ブロックの他端に生じた電圧を電流に変換する第2の電圧電流変換回路と、

前記第1の素子ブロックの他端に接続され、第1の電流を受ける第1の入力端と、

前記第2および第3の素子ブロックの接続箇所に接続され、前記第1の電流の所定倍に相当する第2の電流を受ける第2の入力端とを備え、

前記第1および第2の電圧電流変換回路によってそれぞれ変換された電流の合計を出力する

ことを特徴とする低域ろ波回路。

【請求項4】 請求項1または3に記載の低域ろ波回路において、

前記第2の素子ブロックにおける前記抵抗素子は、前記電源の内部抵抗であることを特徴とする低域ろ波回路。

【請求項5】 請求項2に記載の低域ろ波回路において、

前記第2の素子ブロックにおける前記抵抗素子は、前記電圧バッファ回路の内部抵抗である

ことを特徴とする低域ろ波回路。

【請求項6】 請求項1から3までのいずれか一つに記載の低域ろ波回路において、

前記第2の素子ブロックにおける前記抵抗素子は、スイッチトキャパシタ回路である

ことを特徴とする低域ろ波回路。

【請求項7】 請求項2または3に記載の低域ろ波回路において、

前記第1および第2の容量素子は、いずれもMOS容量であることを特徴とする低域ろ波回路。

【請求項8】 入力クロックに基づいて生成した出力クロックを帰還させ、この出力クロックを所定の特定にするフィードバックシステムであって、

請求項1から3までのいずれか一つに記載の低域ろ波回路で構成されたループフィルタと、

前記入力クロックと帰還されたクロックとの位相差に基づいて、前記ループフィルタが入力する前記第1および第2の電流を生成するチャージポンプ回路と、

前記ループフィルタからの出力信号に基づいて、前記出力クロックを生成する出力クロック生成手段とを備えた

ことを特徴とするフィードバックシステム。

#### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

本発明は、低域ろ波回路に関するものであり、特に、位相同期回路や遅延ロックスループ回路などのフィードバックシステムにおけるループフィルタとしての使用に好適な低域ろ波回路の技術に属する。

#### 【0002】

#### 【従来の技術】

フィードバックシステム、特に、位相同期回路（以下、「PLL」と称する）は、今や、半導体集積回路システムにおける必須の構成要素となっており、ほとんどすべてのLSIに搭載されている。また、その応用範囲は、通信機器を始め、マイクロプロセッサ、ICカードなど、さまざまな分野にわたっている。

#### 【0003】

図14は、一般的なチャージポンプ型PLLの構成を示す。同図を参照しながら、PLLの概要を説明する。位相比較器10は、PLLに与えられる入力クロックCK<sub>in</sub>と帰還クロックCK<sub>div</sub>との位相差を比較し、この位相差に応じたアップ信号UPおよびダウン信号DNを出力する。チャージポンプ回路20は、アップ信号UPおよびダウン信号DNに基づいて、電流I<sub>p</sub>を出力（吐き出し

または吸い込み) する。ループフィルタ 30 は、電流  $I_p$  を平滑化し、電圧  $V_{out}$  として出力する。電圧制御発振器 40 は、電圧  $V_{out}$  に基づいて、PLL の出力クロック  $CK_{out}$  の周波数を変化させる。分周器 50 は、出力クロック  $CK_{out}$  を  $N$  分周し、帰還クロック  $CK_{div}$  として位相比較器 10 にフィードバックする。以上の動作の繰り返すうちに、出力クロック  $CK_{out}$  は次第に所定の周波数に収束し、ロックされる。

#### 【0004】

上記の PLL の構成要素のうち、ループフィルタ 30 は特に重要な要素である。ループフィルタ 30 のフィルタ特性によって、PLL の応答特性が決定されると言ってもよい。

#### 【0005】

図 15 は、一般的な能動型ループフィルタを示す。このうち (a) は受動フィルタであり、(b) は能動フィルタである。両者は互いに等価変換が可能であり、その伝達特性は等しい。同図からわかるように、ループフィルタ 30 は、受動タイプおよび能動タイプの別を問わず、実質的には、抵抗素子と容量素子と組み合わせによる低域ろ波回路である。

#### 【0006】

ところで、PLL の制御理論によると、PLL の応答帯域幅は、最大でも入力クロックの 10 分の 1 程度の周波数にすることが好ましいとされている。この理論に従うと、比較的低い周波数の基準クロックを入力とする PLL では、ループフィルタのカットオフ周波数を低くして、応答帯域幅を狭くする必要がある。したがって、従来の PLL におけるループフィルタは、比較的大きな時定数、すなわち  $CR$  積を有している。大きな  $CR$  積を実現するには、容量素子を大きくするのが一般的である。

#### 【0007】

しかし、容量素子を大きくすることは回路規模増大の要因となる。これは、特に、多数の PLL を備えた半導体集積回路、たとえば、マイクロプロセッサなどでは深刻な問題となる。また、特に、IC カードでは、信頼性の観点から、カードの厚さ以上の部品を実装することは避けなければならない、大型の容量素子の外



付けといった対策を講じることは実質不可能である。そこで、ループフィルタの容量素子を小さくするために、従来、次のような手段が講じられている。

#### 【0008】

第1の例は、通常は直列接続されている容量素子および抵抗素子を分離してループフィルタを構成し、これら素子に個別の電流を与え、それぞれに生じた電圧を加算回路で加算して出力するというものである（たとえば、特許文献1参照）。これによると、容量素子に与える電流を抵抗素子に与える電流よりも小さくすることにより、従来と同等のフィルタ特性を維持しつつ、相対的に容量素子の小型化が可能となる。

#### 【0009】

第2の例は、本願の筆頭発明者による特許出願（特願2003-121647号、以下、「先願」と称する）に開示されたループフィルタである。図16は、先願に開示されたループフィルタの一例を示す。このループフィルタは、電流  $I_p$  を所定比に内分した2系統の電流を入力する。具体的には、ループフィルタは、入力端  $IN1$  および  $IN2$  からそれぞれ電流  $I_p/10$  および  $9I_p/10$  を入力する。そして、容量素子31および抵抗素子32間に生じた電圧を出力する。これにより、図15(a)に示した受動フィルタと等価の伝達特性を確保しつつ、容量素子31の大幅な縮小が可能となる。

#### 【0010】

##### 【特許文献1】

特許第2778421号公報（第3頁、第1図）

#### 【0011】

##### 【発明が解決しようとする課題】

しかし、上記第1の例では、受動タイプのループフィルタを構成する場合であっても加算回路が必要となるため、その分、回路面積が増大し、回路の複雑度も増すという問題がある。一方、上記第2の例では、加算回路を必要としないため回路面積および回路複雑度の増大といった問題は生じないが、入力端  $IN2$  の電位が接地電位に極めて近くなることに起因してさまざまな問題が生じるおそれがある。

**【0012】**

まず、入力端 I N 2 の電位が接地電位に近くなってしまうと、入力端 I N 2 への電流の供給／停止を制御する MOS トランジスタ（図示せず）が安定して動作できなくなる。このため、入力端 I N 2 に正確に定電流を与えることができなくなり、低域ろ波回路の動作が不安定になるおそれがある。

**【0013】**

また、入力端 I N 2 の電位が接地電位に近くなることによって、容量素子 3 3 の両端に印加される電圧が極めて小さくなってしまい、容量素子 3 3 に MOS 容量を用いることが困難となる。MOS 容量は、閾値電圧以上の電圧が印加されないと容量値が低下し、容量として機能しなくなるおそれがある。

**【0014】**

今日、PLL はデジタル回路に多く用いられているが、デジタル回路の製造プロセスには容量プロセスが含まれていないことが多い。このため、容量素子の外付けができないという制約の下では、PLL のループフィルタにおける容量素子は、MOS 容量を用いて構成することとなる。しかし、上述したように、先願に開示されたループフィルタの場合、容量素子 3 3 に MOS 容量を用いることが困難である。このため、たとえば、配線間容量などを用いて容量素子 3 3 を構成することとなり、これは回路面積の増大要因となる。

**【0015】**

上記問題に鑑み、本発明は、低域ろ波回路について、従来と同等のフィルタ特性を保ちつつ、容量素子の小型化を図り、安定的に動作可能にすることを課題とする。さらに、そのような低域ろ波回路を、MOS 容量を用いて構成することを課題とする。また、本発明は、そのような低域ろ波回路をループフィルタとして備えたフィードバックシステムの提供を課題とする。

**【0016】****【課題を解決するための手段】**

上記課題を解決するために本発明が講じた第 1 の手段は、低域ろ波回路として、第 1 の容量素子を有する第 1 の素子ブロックと、抵抗素子および当該抵抗素子に直列に接続された電源を有し、一端に前記第 1 の素子ブロックの一端が接続さ

れ、他端に基準電圧が与えられた第2の素子ブロックと、第2の容量素子を有し、前記第2の素子ブロックに並列に接続された第3の素子ブロックと、前記第1の素子ブロックの他端に接続され、第1の電流を受ける第1の入力端と、前記第1から第3の素子ブロックの接続箇所に接続され、前記第1の電流の同方向所定倍に相当する第2の電流を受ける第2の入力端とを備え、前記第1の素子ブロックの一端に生じた電圧を出力するものとする。

#### 【0017】

これによると、第1の素子ブロックに流れる電流を、第2および第3の素子ブロックに流れる電流よりも小さくすることができる。すなわち、第1の素子ブロックに流れる電流に、第2の入力端が受ける第2の電流が合流して、第2および第3の素子ブロックを流れることになる。したがって、第2の素子ブロックにおける抵抗素子の抵抗値を増大させることなく、第1の素子ブロックにおける容量素子のみを相対的に小さくすることができる。さらに、第2の素子ブロックに電源を設けることによって、第2の入力端には必ずこの電源電圧以上の電圧が掛かる。したがって、第2の入力端への電流の供給／停止を制御するMOSトランジスタが安定して動作可能となり、第2の入力端に正確に定電流を与えることができ、また、第2の容量素子の両端に印加される電圧が確保され、MOS容量を用い易くなる。

#### 【0018】

また、本発明が講じた第2の手段は、低域ろ波回路として、第1の容量素子を有し、一端に第1の電圧が与えられた第1の素子ブロックと、前記第1の素子ブロックの他端に生じた電圧を入力とする電圧バッファ回路、および当該電圧バッファ回路の出力側に直列に接続された抵抗素子を有し、一端に前記第1の素子ブロックの他端が接続された第2の素子ブロックと、第2の容量素子を有し、前記第2の素子ブロックに並列に接続された第3の素子ブロックと、前記第1の素子ブロックの他端に接続され、第1の電流を受ける第1の入力端と、前記第2および第3の素子ブロックの接続箇所に接続され、前記第1の電流の所定倍に相当する第2の電流を入力する第2の入力端とを備え、前記第2および第3の素子ブロックの接続箇所に生じた電圧を出力するものとする。

## 【0019】

これによると、第1の素子ブロックと、第2および第3の素子ブロックとの直列接続を回避しつつ、第1および第2の素子ブロックのそれぞれに生じた電圧の合計を出力することができる。しかも、電圧を合計するための加算回路を必要としない。すなわち、第1および第2の入力端の電圧を比較的大きく保つことができ、第1および第2の入力端にそれぞれ安定的に第1および第2の電流を受けることができる。さらに、第1および第3の素子ブロックに印加される電圧が確保されるため、第1および第2の容量素子にMOS容量を用い易くなる。

## 【0020】

また、本発明が講じた第3の手段は、低域ろ波回路として、第1の容量素子を有し、一端に第1の電圧が与えられた第1の素子ブロックと、抵抗素子および当該抵抗素子に直列に接続された電源を有し、一端に第2の電圧が与えられた第2の素子ブロックと、第2の容量素子を有し、一端に前記第2の素子ブロックの他端が接続され、他端に前記第2の電圧が与えられた第3の素子ブロックと、前記第1の素子ブロックの他端に生じた電圧を電流に変換する第1の電圧電流変換回路と、前記第2の素子ブロックの他端に生じた電圧を電流に変換する第2の電圧電流変換回路と、前記第1の素子ブロックの他端に接続され、第1の電流を受ける第1の入力端と、前記第2および第3の素子ブロックの接続箇所に接続され、前記第1の電流の所定倍に相当する第2の電流を受ける第2の入力端とを備え、前記第1および第2の電圧電流変換回路によってそれぞれ変換された電流の合計を出力するものとする。

## 【0021】

これによると、第1の素子ブロックと、第2および第3の素子ブロックとの直列接続が回避しつつ、第1および第2の素子ブロックのそれぞれに生じた電圧に応じた電流の合計を出力することができる。したがって、加算回路は不要である。すなわち、第1および第2の入力端の電圧を比較的大きく保つことができ、第1および第2の入力端にそれぞれ安定的に第1および第2の電流を受けることができる。さらに、第1および第3の素子ブロックに印加される電圧が確保されるため、第1および第2の容量素子にMOS容量を用い易くなる。

**【0022】**

前記第2の素子ブロックにおける前記抵抗素子は、前記電源の内部抵抗であることが好ましい。あるいは、前記第2の素子ブロックにおける前記抵抗素子は、前記電圧バッファ回路の内部抵抗であることが好ましい。

**【0023】**

また、前記第2の素子ブロックにおける前記抵抗素子は、スイッチトキャパシタ回路であることが好ましい。

**【0024】**

また、上記第2および第3の手段に係る低域ろ波回路において、前記第1および第2の容量素子は、いずれもMOS容量であることが好ましい。

**【0025】**

そして、本発明が講じた手段は、入力クロックに基づいて生成した出力クロックを帰還させ、この出力クロックを所定の特定にするフィードバックシステムとして、上記の低域ろ波回路で構成されたループフィルタと、前記入力クロックと帰還されたクロックとの位相差に基づいて、前記ループフィルタが入力する前記第1および第2の電流を生成するチャージポンプ回路と、前記ループフィルタからの出力信号に基づいて、前記出力クロックを生成する出力クロック生成手段とを備えたものとする。

**【0026】**

これにより、従来と同等のループ特性を保ちつつ、より小型のフィードバックループを実現することができる。

**【0027】****【発明の実施の形態】**

以下、本発明の実施の形態について、図面を参照しながら説明する。

**【0028】****(第1の実施形態)**

図1は、本発明の第1の実施形態に係るフィードバックシステムの構成を示す。本実施形態に係るフィードバックシステムは、位相比較器10と、チャージポンプ回路20Aと、ループフィルタ30Aと、出力クロック生成手段としての電

圧制御発信器 40 と、分周器 50 とを備えた PLL である。このうち、位相比較器 10、電圧制御発信器 40 および分周器 50 については既に説明したとおりである。以下、チャージポンプ回路 20A およびループフィルタ 30A について詳細に説明する。

#### 【0029】

チャージポンプ回路 20A は、電流  $\alpha I_p$  および  $(1 - \alpha) I_p$  をそれぞれ供給する充電用の電流源 21 および 23 と、放電用の電流源 22 および 24 とを備えている。そして、信号 UP が与えられると、制御スイッチ SW1 および SW3 が導通し、電流  $\alpha I_p$  および  $(1 - \alpha) I_p$  が吐き出される。一方、信号 DN が与えられると、制御スイッチ SW2 および SW4 が導通し、電流  $\alpha I_p$  および  $(1 - \alpha) I_p$  が吸い込まれる。すなわち、チャージポンプ回路 20A からは、電流  $I_p$  を  $\alpha : (1 - \alpha)$  に内分したものに相当する 2 系統の電流が出入される。

#### 【0030】

ループフィルタ 30A は、チャージポンプ回路 20A から出入される電流  $\alpha I_p$  および  $(1 - \alpha) I_p$  をそれぞれ入力端 IN1 および IN2 に入力する。ループフィルタ 30A において、入力端 IN1 と入力端 IN2 との間には、第 1 の素子ブロックとしての容量素子 31 が設けられている。また、入力端 IN2 と基準電圧との間には、第 2 の素子ブロックとしての、直列接続された抵抗素子 32 および電源 34 と、これに並列に接続された第 3 の素子ブロックとしての容量素子 33 とが設けられている。そして、ループフィルタ 30A は、入力端 IN1 の電圧  $V_{out}$ 、すなわち、容量素子 31 の一端に生じた電圧を出力する。

#### 【0031】

ループフィルタ 30A において、入力端 IN1 に与えられた電流  $\alpha I_p$  は、容量素子 31、および並列接続された抵抗素子 32 および容量素子 33 を流れる。また、入力端 IN2 には電流  $\alpha I_p$  と同じ向きに電流  $(1 - \alpha) I_p$  が与えられ、並列接続された抵抗素子 32 および容量素子 33 を流れる。したがって、容量素子 31 には並列接続された抵抗素子 32 および容量素子 33 を流れる電流の一部しか流れないため、その静電容量を相対的に小さくすることができる。そして、容量素子 31 を小型化した場合の容量素子 31 および抵抗素子 32 間に生じる

電圧は、入力端 IN2 を設けずに、容量素子 31 も小型化しない場合において、入力端 IN1 に電流  $I_p$  を与えたときに生じる電圧と何ら変わることがない。

### 【0032】

ここで、一般的な受動フィルタから本実施形態に係るループフィルタへの変換方法について図2を参照しながら説明する。図2(a)に示した受動フィルタは、図15(a)に示した受動フィルタに他ならない。この受動フィルタにおいて、容量素子 31 の容量値を  $C_x$ 、抵抗素子 32 の抵抗値を  $R_x$ 、および容量素子 33 の容量値を  $C_{3x}$  とするとき、次の変換式 (1) ~ (3)、

### 【数1】

$$C = C_{3x} + C_x \quad \dots (1)$$

$$C_3 = (C_{3x} + C_x) \frac{C_{3x}}{C_x} \quad \dots (2)$$

$$R = \frac{R_x C_x^2}{(C_{3x} + C_x)^2} \quad \dots (3)$$

に従って各素子値を変換することにより、図2(b)に示した受動フィルタを得る。そして、この受動フィルタにおいて、入力端 IN1 とグランドとを入れ換えるとともに、容量素子 31 と抵抗素子 32 との間に入力端 IN2 を設けて、入力端 IN1 および IN2 にそれぞれ電流  $I_p/10$  および  $9I_p/10$  を与えるようにする。これにより、図2(c)に示した、容量素子 31 が従来の  $1/10$  倍に縮小された受動フィルタ、すなわち、本実施形態に係るループフィルタ 30A を得る。

### 【0033】

図1に戻り、本実施形態に係るループフィルタ 30A では、抵抗素子 32 に直列に、電圧  $V_{th}$  の電源 34 が接続されている。電圧  $V_{th}$  は、MOS トランジスタの閾値電圧である。つまり、入力端 IN2 の電圧は、必ず、制御スイッチ SW2 を構成する MOS トランジスタの閾値電圧以上となるため、チャージポンプ回路 20A は入力 IN2 に安定的に定電流  $\alpha I_p$  を供給することができる。また、容量素子 33 の両端には、必ず、電圧  $V_{th}$  以上が印加されるため、MOS 容

量の容量値が増大し、容量素子 33 は容量として安定して機能するようになる。

#### 【0034】

図3は、電源34の具体的な回路構成を示す。電源34は、ダイオード接続されたNMOSトランジスタ341、およびこれにバイアス電流 $I_{bias}$ を与える電流源342からなる。NMOSトランジスタ341に代えて抵抗素子を用いてもよいし、他の抵抗性インピーダンス素子を用いてもよい。ただし、電源34の内部抵抗値、すなわち、NMOSトランジスタ341の抵抗値 $R_N$ と、図3に示した抵抗素子32の抵抗値 $R_r$ との合成抵抗値が、図2(c)に示した抵抗素子32の抵抗値 $R$ になるようにする。したがって、NMOSトランジスタ341の抵抗値を $R$ に設定することで、抵抗素子32を省略することができる。

#### 【0035】

一方、抵抗素子32は、スイッチトキャパシタ回路で構成してもよい。図4(a)は、図2(c)に示した抵抗素子32をスイッチトキャパシタ回路(SCF回路)で構成したときの低域ろ波回路を示す。スイッチトキャパシタ回路は、容量をサンプリングして電荷転送を行う回路であり、抵抗と等価な働きをすることはよく知られている。図4(b)は、スイッチトキャパシタ回路32'の構成例を示す。スイッチトキャパシタ回路32'における各スイッチは、クロック $CK$ およびその反転であるクロック $\overline{CK}$ に応じて開閉動作をする。スイッチトキャパシタ回路32'における容量値を $C$ とし、クロック $CK$ の周波数、すなわち、サンプリング周波数を $f$ とすると、スイッチトキャパシタ回路32'は、抵抗値 $1/(2Cf)$ の抵抗として機能する。なお、クロック $CK$ として、たとえば、本実施形態に係るPLLの入力クロック $CK_{in}$ あるいは出力クロック $CK_{out}$ を用いることができる。

#### 【0036】

以上、本実施形態によると、2系統の電流を受けるようにして容量素子31の小型化を実現したループフィルタ30Aにおいて、チャージポンプ回路20Aにおける制御スイッチ $SW_2$ が動作可能な程度に入力端 $IN_2$ の電圧が確保される。これにより、ループフィルタ30Aに正確に定電流が出入され、安定した正確なフィルタリング動作が実現される。また、容量素子33の両端の電圧が確保さ



れるため、容量素子 33 を MOS 容量にすることができる。さらに、入力端 IN1 に与えられる電流値を絞ることによって、容量素子 31 をより一層小型化することができる。

#### 【0037】

なお、上記説明では、電源 34 の電圧  $V_{th}$  は MOS トランジスタの閾値電圧であるとしたが、本発明はこれに限定されるものではない。電圧  $V_{th}$  は、チャージポンプ回路 20A の定電流性が保証される程度であればよい。

#### 【0038】

また、電源 34 と抵抗素子 32 との接続順序を入れ換えてもよい。すなわち、電源 34 の正極を入力端 IN2 および容量素子 33 に接続し、抵抗素子 32 の一端に接地電位を与えるようにしてもよい。

#### 【0039】

(第 2 の実施形態)

第 1 の実施形態に係るループフィルタ 30A では、容量素子 31 と容量素子 33 とは直列に接続されているため、入力端 IN1 の電圧が分圧されて、容量素子 31 および 33 のそれぞれに掛かる。したがって、電源 34 の電圧  $V_{th}$  を上げすぎると、逆に、容量素子 31 の両端に印加される電圧が相対的に低くなってしまふ。そして、この電圧が MOS トランジスタの閾値電圧を下回ってしまうと、容量素子 31 に MOS 容量を用いることが困難となる。そこで、容量素子 31 と容量素子 33 と並列に接続して、従来と同等のフィルタ特性を示すループフィルタを実現することを考える。

#### 【0040】

図 5 は、本発明の第 2 の実施形態に係るループフィルタの構成を示す。本実施形態に係るループフィルタ 30B は、第 1 の容量素子ブロックとしての容量素子 31 と、第 2 の素子ブロックとしての、直列に接続された抵抗素子 32 および電圧バッファ回路 35 と、第 3 の素子ブロックとしての容量素子 33 とを備えている。容量素子 31 の一端には第 1 の電圧としての接地電位が与えられ、他端には入力端 IN1 および電圧バッファ回路 35 の入力側が接続されている。電圧バッファ回路 35 の出力側は抵抗素子 32 に接続されている。容量素子 33 の一端に

は入力端 IN2 および抵抗素子 32 が接続され、他端には第 2 の電圧としての接地電位が与えられている。そして、ループフィルタ 30B は、抵抗素子 32 と容量素子 33 との接続箇所に生じた電圧  $V_{out}$  を出力する。すなわち、ループフィルタ 30B は、実質的に、容量素子 31 に生じた電圧と容量素子 33 に生じた電圧との合計電圧を出力する。なお、容量素子 31 および 33 は、いずれも NMOS トランジスタで構成された MOS 容量である。

#### 【0041】

ループフィルタ 30B は、図 1 に示した PLL において、ループフィルタ 30A と置き換えて用いることができる。この場合、ループフィルタ 30B は、チャージポンプ回路 20A から入力端 IN1 および IN2 に、たとえば、電流  $I_p/10$  および電流  $I_p$  を入力し、抵抗素子 32 と容量素子 33 との接続箇所に生じた電圧  $V_{out}$  を電圧制御発信器 40 に出力する。すなわち、容量素子 31 に相対的に小さな電流を与えるようにすることによって、容量素子 31 の容量値の小型化が可能となっている。

#### 【0042】

次に、本実施形態に係るループフィルタ 30B が、一般的な受動フィルタと等価な伝達特性を示すことを説明する。いま、図 2 (a) に示した受動フィルタにおいて、入力電流を  $I_{px}$  とし、抵抗素子 32 と容量素子 33 との接続箇所からの出力電圧を  $V_{out}$  とすると、当該受動フィルタの伝達関数は次式 (4) のようになる。

#### 【数 2】

$$V_{out}/I_{px} = \frac{\left(1 + \frac{C_{3x}}{C_x}\right)(sC_x R_x + 1)}{sC_x \left(\frac{sR_x C_{3x} C_x}{C_{3x} + C_x} + 1\right)} \quad \dots (4)$$

一方、ループフィルタ 30B の伝達関数は次式 (5) のようになる。

## 【数 3】

$$V_{out}/I_P = \frac{sCR+1}{sC(sC_3R+1)} \quad \dots (5)$$

ここで、次の変換式 (6) ~ (9)、

## 【数 4】

$$R=R_X \quad \dots (6)$$

$$C=C_X \quad \dots (7)$$

$$C_3 = \frac{C_{3X}C_X}{C_{3X}+C_X} \quad \dots (8)$$

$$I_P = \left(1 + \frac{C_{3X}}{C_X}\right) I_{PX} \quad \dots (9)$$

に従って各素子値を変換することにより、式 (4) と式 (5) とは等価になる。

## 【0043】

図6は、電圧バッファ回路35の具体的な回路構成を示す。電圧バッファ回路35Aは、PMOSトランジスタ351および352から構成されたカレントミラー回路353と、カレントミラー回路353の入力側電流を生成するNMOSトランジスタ354と、カレントミラー回路353の出力電流を受ける、ダイオード接続されたNMOSトランジスタ355とを備えている。電圧バッファ回路35Aは、NMOSトランジスタ354のゲート電極に、容量素子31に生じた電圧を受け、NMOSトランジスタ355に生じた電圧を出力する。ここで、NMOSトランジスタ354および355のトランスコンダクタンス (値は任意) を等しくし、PMOSトランジスタ351および352のトランスコンダクタンス (値は任意) を等しくすることで、交流的な電圧ゲインがほぼ“1”となる。すなわち、電圧バッファ回路35Aは、電圧バッファとして機能する。

## 【0044】

なお、NMOSトランジスタ355に代えて抵抗素子を用いてもよいし、他の抵抗性インピーダンス素子を用いてもよい。ただし、電圧バッファ回路35Aの内部抵抗値、すなわち、NMOSトランジスタ355の抵抗値 $R_N$ と、図6に示

した抵抗素子 32 の抵抗値  $R_r$  との合成抵抗値が、図 5 に示した抵抗素子 32 の抵抗値  $R$  になるようにする。したがって、NMOS トランジスタ 355 の抵抗値を  $R$  に設定することで、抵抗素子 32 を省略することができる。

#### 【0045】

ループフィルタ 30B が図 6 に示した構成をしている場合、電圧  $V_{out}$  を入力する電圧制御発振器 40 において、NMOS トランジスタ 41 が電圧制御発振器 40 内のバイアス電流を生成する。このバイアス電流を生成するトランジスタとして PMOS を用いる場合、ループフィルタ 30B の構成は次のようになる。

#### 【0046】

図 7 は、電圧バッファ回路 35 の別の具体的な回路構成を示す。図 7 に示した電圧バッファ回路 35B は、図 6 に示した電圧バッファ回路 35A から PMOS トランジスタ 352 および NMOS トランジスタ 355 を省略した構成をしている。電圧バッファ回路 35B は、NMOS トランジスタ 354 のゲート電極に、容量素子 31 に生じた電圧を受け、PMOS トランジスタ 351 に生じた電圧を出力する。ここで、電圧バッファ回路 35B の交流的な電圧ゲインがほぼ“1”となるように、PMOS トランジスタ 351 および NMOS トランジスタ 354 のトランスコンダクタンスを設定することにより、電圧バッファ回路 35A は、電圧バッファとして機能する。

#### 【0047】

図 7 に示した構成では、容量素子 33 は PMOS トランジスタで構成され、第 2 の電圧としての電源電圧に接続される。また、入力端  $IN_2$  に与えられる電流  $I_p$  は、入力端  $IN_1$  に与えられる電流  $I_p/10$  とは逆向きになる。そして、電圧  $V_{out}$  を入力する電圧制御発振器 40 において、PMOS トランジスタ 42 が電圧制御発振器 40 内のバイアス電流を生成する。

#### 【0048】

図 8 は、図 7 に示したループフィルタ 30B 用のチャージポンプ回路を示す。チャージポンプ回路 20B は、電流源 21、22、23 および 24 を備えているが、このうち、電流源 21 および 23 は、電流  $I_p$  を供給する従来の電流源を、供給電流が  $\alpha : (1 - \alpha)$  となるように分割したに過ぎない。電流源 22 および

24についても同様である。そして、信号UPが与えられると、制御スイッチSW1、SW3およびSW5が導通し、電流源21および23が供給する電流の合成である電流 $I_p$ が吐き出されるとともに、電流 $\alpha I_p$ が吸い込まれる。一方、信号DNが与えられると、制御スイッチSW2、SW4およびSW6が導通し、電流源22および24が供給する電流の合成である電流 $I_p$ が吸い込まれるとともに、電流 $\alpha I_p$ が吐き出される。

#### 【0049】

ところで、図7に示したループフィルタ30Bの伝達関数は次式(10)のようになる。

#### 【数5】

$$V_{out}/I_p = \frac{R_p \{sCR_N(1 + \frac{R_r}{R_p}) + 1\}}{sCR_N \{sC_3(R_p + R_r) + 1\}} \quad \dots (10)$$

ここで、次の変換式(11)および(12)、

#### 【数6】

$$R_p = R_N \quad \dots (11)$$

$$R = R_p + R_r \quad \dots (12)$$

に従って各素子値を変換することにより、式(10)と式(5)とは等価になる。したがって、式(10)と式(4)とは等価になる。

#### 【0050】

なお、PMOSトランジスタ341に代えて抵抗素子を用いてもよいし、他の抵抗性インピーダンス素子を用いてもよい。ただし、電圧バッファ回路35Aの内部抵抗値、すなわち、PMOSトランジスタ351の抵抗値 $R_p$ と、図6に示した抵抗素子32の抵抗値 $R_r$ との合成抵抗値が、図5に示した抵抗素子32の抵抗値 $R$ になるようにする。したがって、PMOSトランジスタ351の抵抗値を $R$ に設定することで、抵抗素子32を省略することができる。

#### 【0051】

以上、本実施形態によると、容量素子31と容量素子33とが並列に接続され

るため、これらに十分に大きな電圧を印加し易くなる。したがって、容量素子 31 および 33 に MOS 容量を用い易くなる。さらに、入力端 IN1 に与えられる電流値を絞ることによって、容量素子 31 をより一層小型化することができる。

#### 【0052】

なお、第 1 の実施形態と同様に、ループフィルタ 30B における抵抗素子 32 をスイッチトキャパシタ回路で構成してもよい。

#### 【0053】

また、容量素子 31 および 33 は、MOS 容量に代えて、たとえば配線間容量などで構成してもよいことは言うまでもない。

#### 【0054】

(第 3 の実施形態)

第 2 の実施形態において、ループフィルタ 30B の出力電圧  $V_{out}$  と電圧制御発振器 40 の発振周波数との間に十分な線形性があり、また、電圧制御発振器 40 の発振周波数を大きく変化させる必要のない場合には、電圧バッファ回路 35 に代えて、所定電圧を出力する電源を抵抗素子 32 に接続するようにしてもよい。以下、ループフィルタ 30B における電圧バッファ回路 35 を電源に置き換えた構成をしたループフィルタについて説明する。

#### 【0055】

図 9 は、本発明の第 3 の実施形態に係るループフィルタの構成を示す。本実施形態に係るループフィルタ 30C は、第 1 の素子ブロックとしての容量素子 31 と、第 2 の素子ブロックとしての、直列に接続された抵抗素子 32 および電源 34 と、第 3 の素子ブロックとしての容量素子 33 と、第 1 の電圧電流変換回路としての NMOS トランジスタ 36 と、第 2 の電圧電流変換回路としての NMOS トランジスタ 37 とを備えている。容量素子 31 の一端には第 1 の電圧としての接地電位が与えられ、他端には入力端 IN1 および NMOS トランジスタ 36 のゲート電極が接続されている。電源 34 の負極には第 2 の電圧としての接地電位が与えられ、正極には抵抗素子 32 が接続されている。容量素子 33 は、直列接続された抵抗素子 32 および電源 34 に並列に接続されている。そして、抵抗素子 32 と容量素子 33 との接続箇所には入力端 IN2 が接続されている。なお、

容量素子 31 および 33 は、いずれも NMOS トランジスタで構成された MOS 容量である。

#### 【0056】

電源 34 の電圧  $V_{th}$  については、第 1 の実施形態のところで既に説明したとおりであるため、ここでは説明を省略する。

#### 【0057】

NMOS トランジスタ 36 は、ゲートに、容量素子 31 に生じた電圧  $V_1$  を受け、ソース・ドレイン間に、電圧  $V_1$  に応じた電流  $I_1$  を流す。一方、NMOS トランジスタ 37 は、ゲートに、容量素子 33 に生じた電圧  $V_2$  を受け、ソース・ドレイン間に、電圧  $V_2$  に応じた電流  $I_2$  を流す。そして、これら電流  $I_1$  および  $I_2$  を合わせた電流  $I_b$  が、バイアス電流として電圧制御発振器 40 に与えられる。このように、容量素子 31 および 33 に生じた電圧を電流に変換し、その電流を合計することにより、第 2 の実施形態と同等の伝達特性を容易に実現することができる。

#### 【0058】

本実施形態に係るループフィルタ 30C は、別の見方をすると、第 1 の実施形態に係るループフィルタ 30A における容量素子 31 からなるブロックと、抵抗素子 32、電源 34 および容量素子 33 からなるブロックとを、並列に接続した構成となっている。そして、ループフィルタ 30C は、これらブロックに生じた電圧  $V_1$  および  $V_2$  の合計を出力するのに代えて、電圧  $V_1$  および  $V_2$  をそれぞれ電流  $I_1$  および  $I_2$  に変換し、これら電流  $I_1$  および  $I_2$  の合計を出力する。

#### 【0059】

以上、本実施形態によると、容量素子 31 と容量素子 33 とが並列に接続されるため、これらに十分に大きな電圧を印加し易くなる。したがって、容量素子 31 および 33 に MOS 容量を用い易くなる。さらに、入力端  $IN_1$  に与えられる電流値を絞ることによって、容量素子 31 をより一層小型化することができる。

#### 【0060】

なお、第 1 の実施形態と同様に、ループフィルタ 30C における抵抗素子 32 をスイッチトキャパシタ回路で構成してもよい。

## 【0061】

また、容量素子31および33は、MOS容量に代えて、たとえば配線間容量などで構成してもよいことは言うまでもない。

## 【0062】

ところで、第1から第3までの実施形態ではフィードバックシステムとしてPLLを想定しているが、本発明はこれに限定されるものではない。図1において、分周器50を省略し、電圧制御発振器40を、出力クロック生成手段としての電圧制御遅延回路に置き換えることによって、遅延ロックループ回路（以下、「DLL」と称する）を構成することができる。

## 【0063】

（本発明に係るフィードバックシステムの応用例）

本発明のPLLおよびDLLは、大規模な容量素子を必要とせず、回路規模を小規模化することができ、また、MOS容量を用いることが容易になるため、特に、次のような製品への応用が期待される。

## 【0064】

図10は、ICカード用のLSIとして、本発明のPLLやDLLを備えたものを用いた例である。ICカードに用いられるLSIは、実装面積に限りがあるため、より小さな回路面積で構成可能な本発明のPLLやDLLは、ICカード用として特に適している。

## 【0065】

図11は、本発明のPLLやDLLを、チップ・オン・チップ（COC）部品に応用した例である。チップ・オン・チップ構造において、上層の半導体集積回路の回路面積には限りがある。したがって、本発明のPLLやDLLが有効となる。

## 【0066】

図12は、本発明のPLLやDLLを、LSIパッド部に実装した例である。チップ・オン・チップ構造と同様に、LSIパッド部に実装可能な回路面積には限りがある。したがって、本発明のPLLやDLLが有効となる。

## 【0067】



図13は、本発明のPLLやDLLを、マイクロプロセッサにおけるクロック生成手段として実装した例である。今やマイクロプロセッサには、非常に多くのPLLやDLLが実装されている。そこで、マイクロプロセッサに本発明のPLLやDLLを用いることにより、マイクロプロセッサ全体としての回路面積を大幅に低減することが期待される。したがって、本発明のPLLやDLLをマイクロプロセッサに適用することによって得られる効果は極めて大きいものである。

#### 【0068】

##### 【発明の効果】

以上説明したように、本発明によると、従来と同等のフィルタ特性を保ちつつ、小型の容量素子で構成され、安定的に動作可能な低域ろ波回路を実現することができる。さらに、容量素子に十分な電圧を印加することができるため、MOS容量を用い易くなる。

#### 【0069】

特に、本発明に係る低域ろ波回路をPLLなどのフィードバックシステムにおけるループフィルタとして用いる場合、ループフィルタにおける容量素子を小型化できる。しかも、積極的にMOS容量を用いることができるため、フィードバックシステムを有するデジタル回路の製造プロセスにおいて、容量プロセスを設ける必要がない。これにより、フィードバックシステムの小型化および製造コストの低減といった効果を得ることができる。

##### 【図面の簡単な説明】

#### 【図1】

本発明の第1の実施形態に係るフィードバックシステムの構成図である。

#### 【図2】

一般的な受動フィルタから本発明の第1の実施形態に係るループフィルタへの変換過程を示す図である。

#### 【図3】

本発明の第1の実施形態に係るループフィルタにおける電源の具体的な回路図である。

#### 【図4】

本発明の第 1 の実施形態に係るループフィルタにおける抵抗素子をスイッチトキャパシタ回路で構成したときの回路図である。

【図 5】

本発明の第 2 の実施形態に係るループフィルタの構成図である。

【図 6】

本発明の第 2 の実施形態に係るループフィルタにおける電圧バッファ回路の具体的な回路図である。

【図 7】

本発明の第 2 の実施形態に係るループフィルタにおける電圧バッファ回路の別の具体的な回路図である。

【図 8】

図 7 に示したループフィルタ用のチャージポンプ回路の回路図である。

【図 9】

本発明の第 3 の実施形態に係るループフィルタの構成図である。

【図 1 0】

本発明の PLL や DLL を IC カードに応用した例である。

【図 1 1】

本発明の PLL や DLL を COC 部品に応用した例である。

【図 1 2】

本発明の PLL や DLL を LSI パッド領域に実装した例である。

【図 1 3】

本発明の PLL や DLL をマイクロプロセッサに実装した例である。

【図 1 4】

一般的なチャージポンプ型 PLL の構成図である。

【図 1 5】

一般的なループフィルタの回路図である。

【図 1 6】

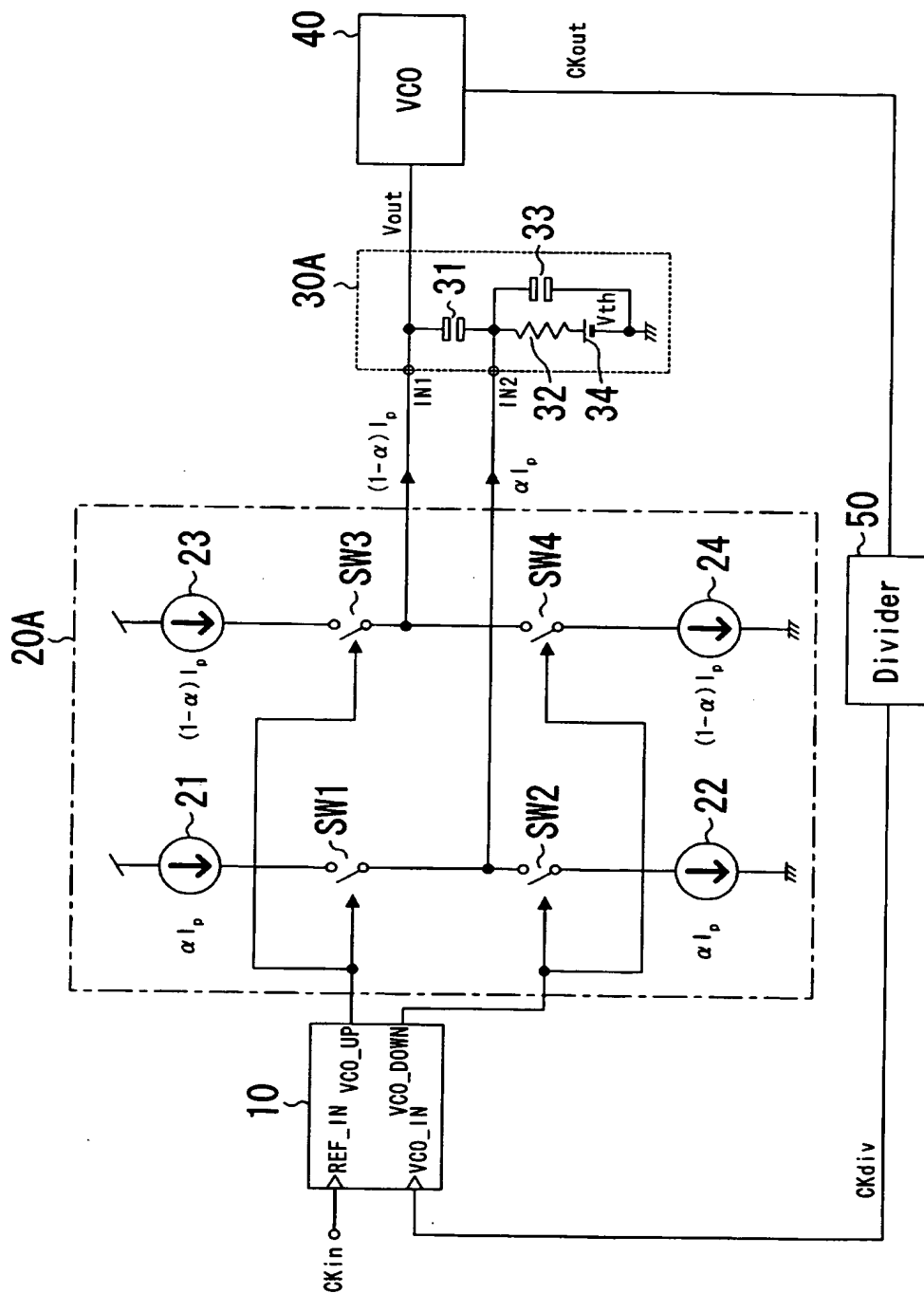
特願 2 0 0 3 - 1 2 1 6 4 7 号に開示されたループフィルタの回路図である。

【符号の説明】

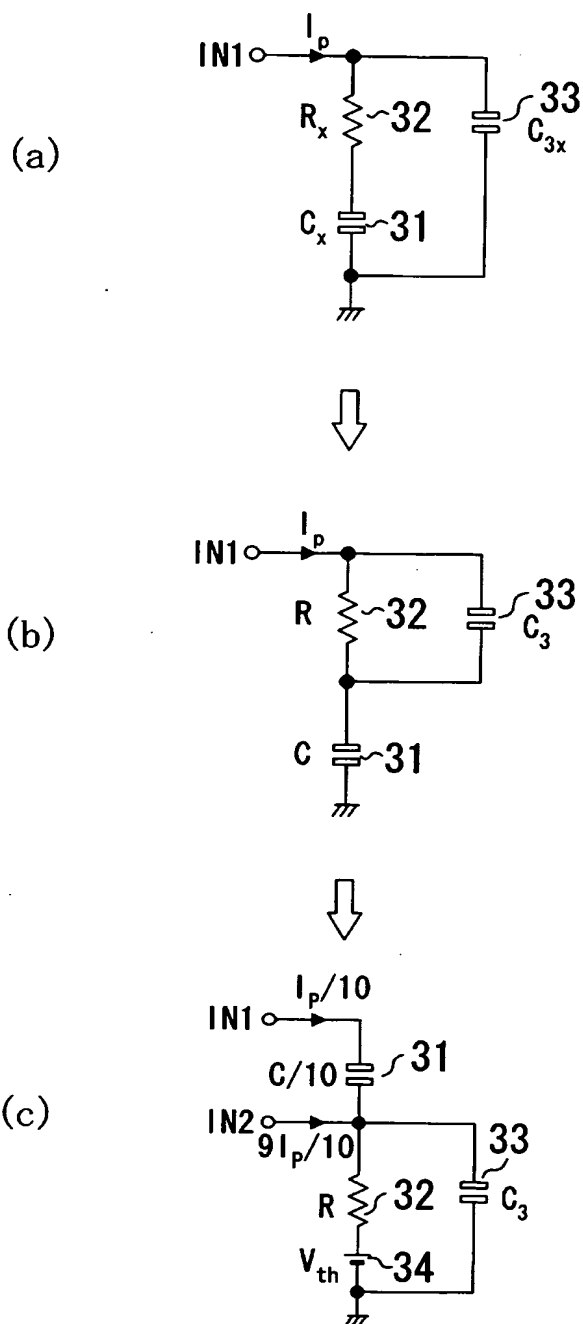
- 2 0 A, 2 0 B チャージポンプ回路
- 3 0 A, 3 0 B, 3 0 C ループフィルタ (低域ろ波回路)
- 3 1 容量素子 (第 1 の容量素子、第 1 の素子ブロック)
- 3 2 抵抗素子 (第 2 の素子ブロック)
- 3 2 ' スイッチトキャパシタ回路
- 3 3 容量素子 (第 2 の容量素子、第 3 の素子ブロック)
- 3 4 電源 (第 2 の素子ブロック)
- 3 5, 3 5 A, 3 5 B 電圧バッファ回路
- 3 6 NMOS トランジスタ (第 1 の電圧電流変換回路)
- 3 7 NMOS トランジスタ (第 2 の電圧電流変換回路)
- 4 0 電圧制御発振器 (出力クロック生成手段)
- I N 1 入力端 (第 1 の入力端)
- I N 2 入力端 (第 2 の入力端)

【書類名】 図面

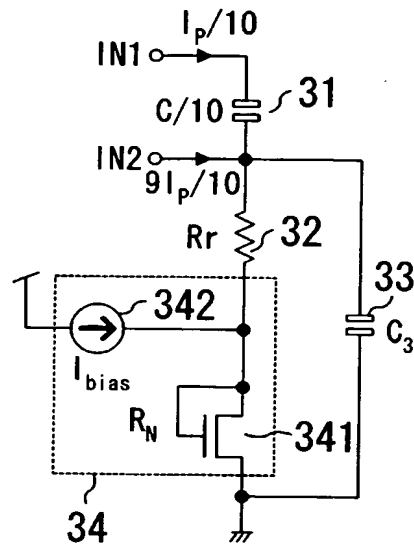
【図 1】



【図 2】

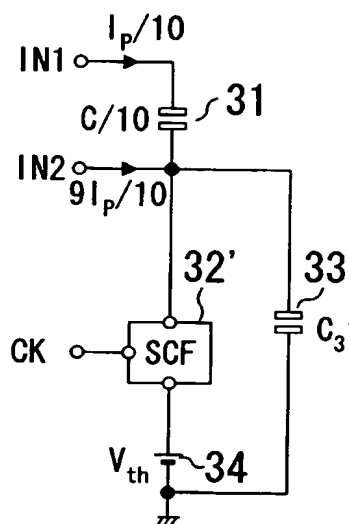


【図 3】

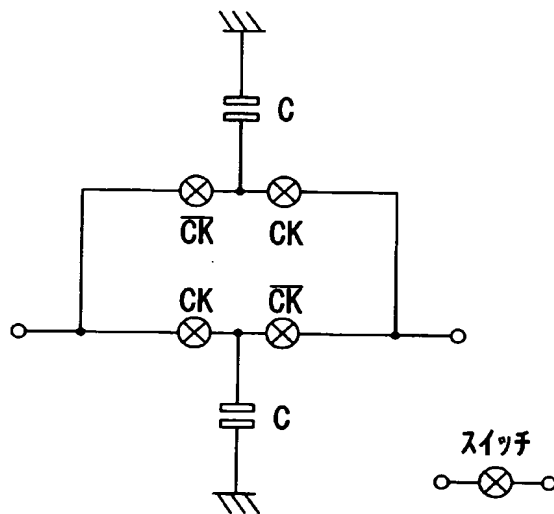


【図 4】

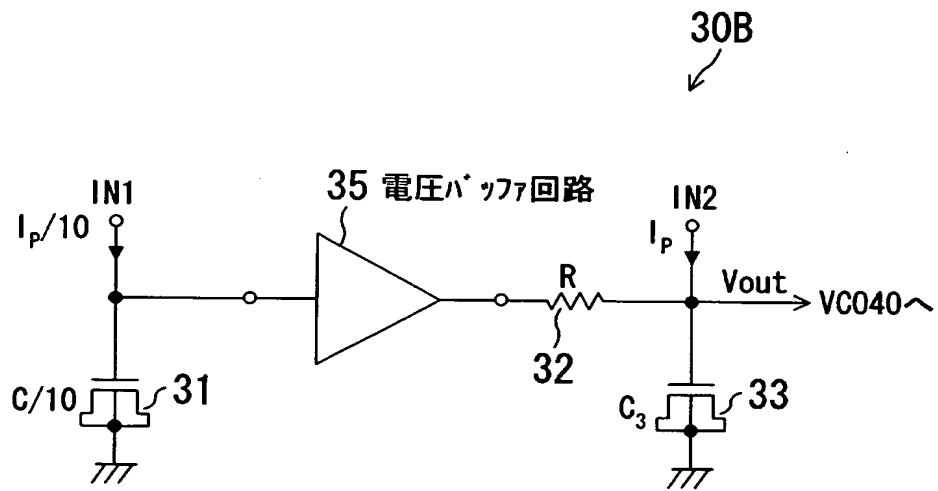
(a)



(b)

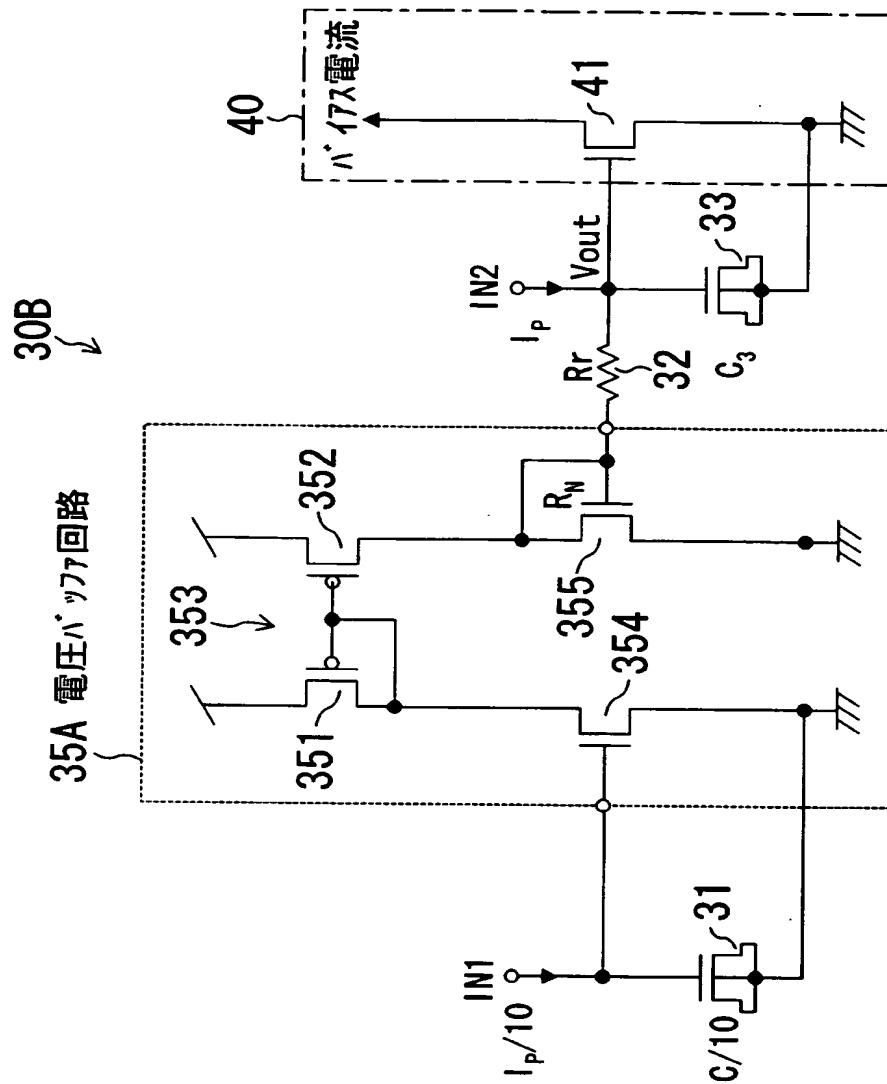


【図 5】

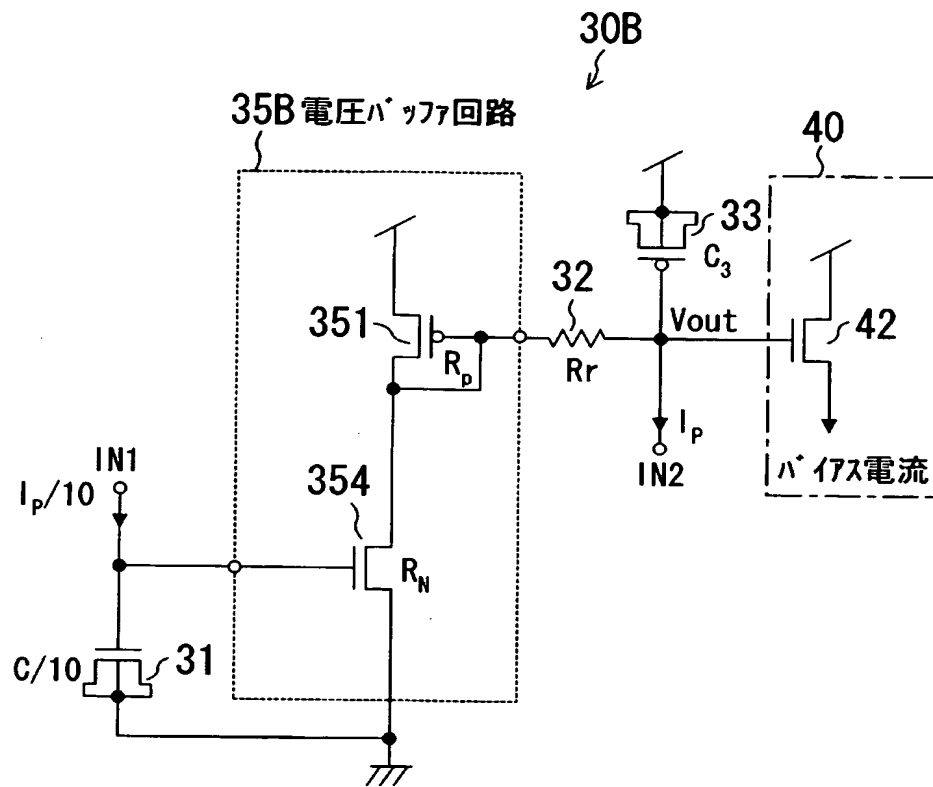




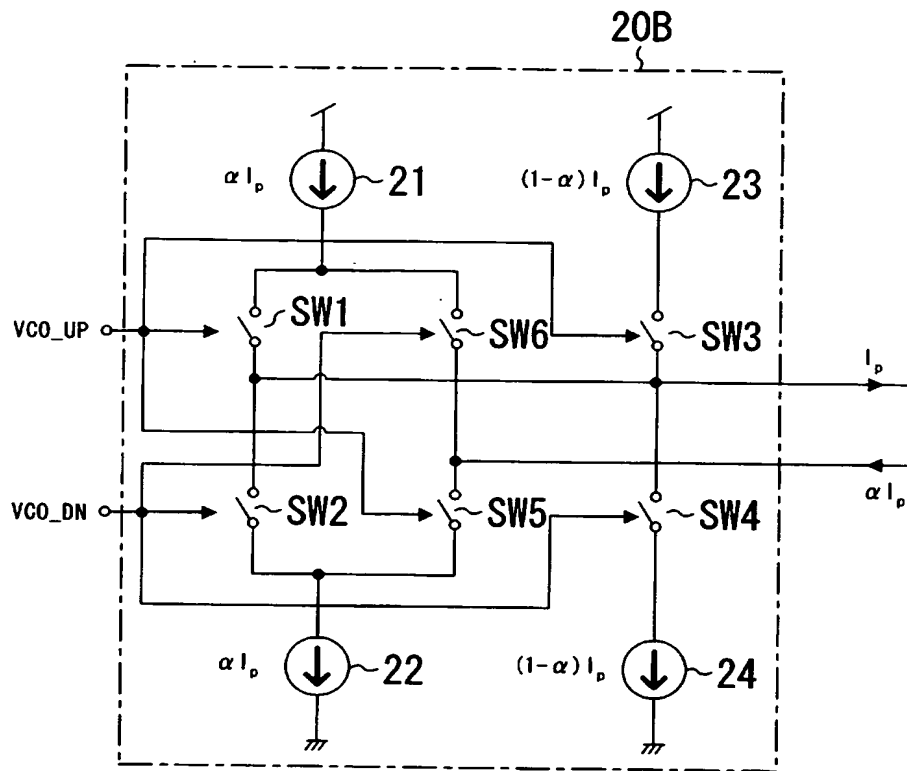
【図 6】



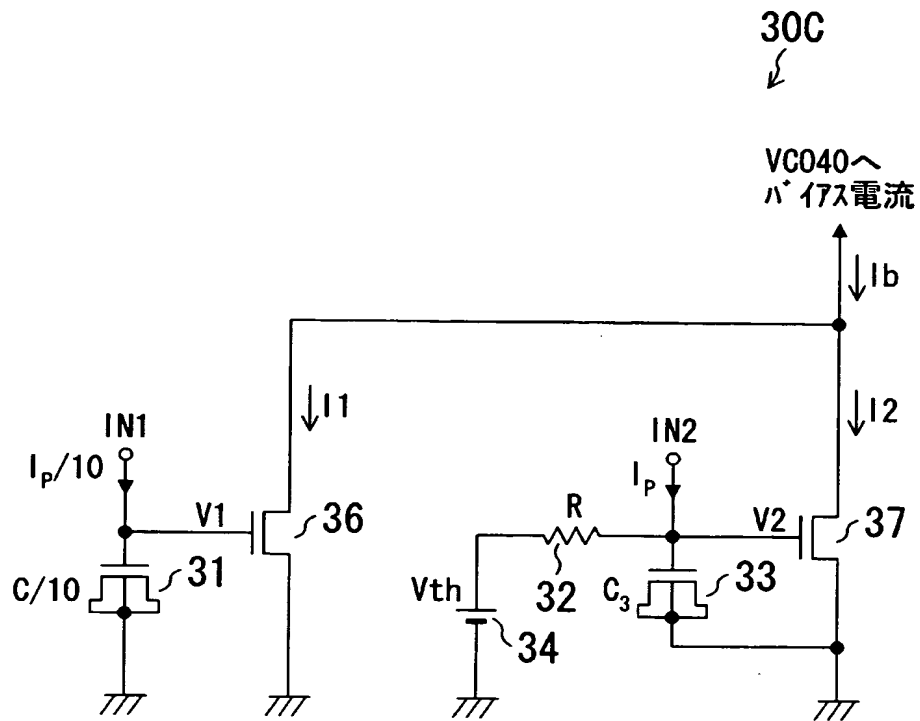
【図 7】



【図 8】

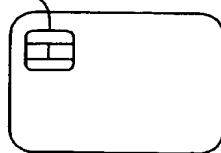


【図 9】



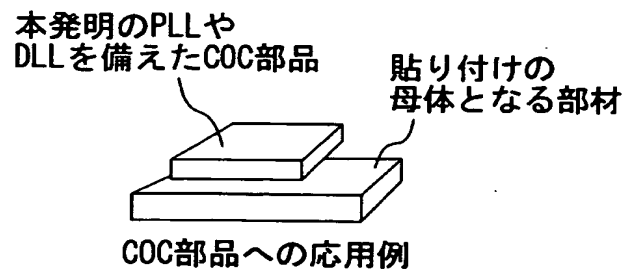
【図 10】

本発明のPLLや  
DLLを備えたLSI

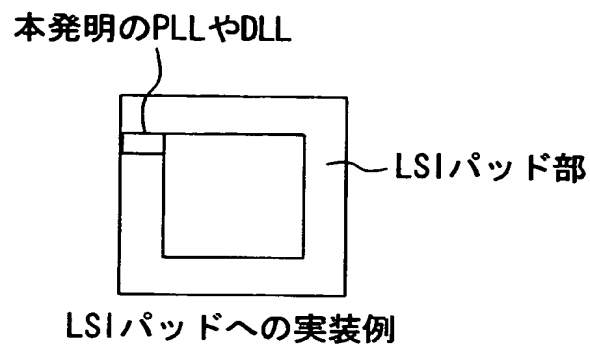


ICカードへの応用例

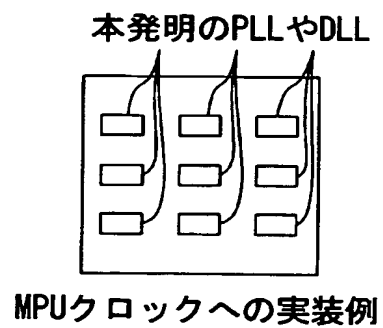
【図 1 1】



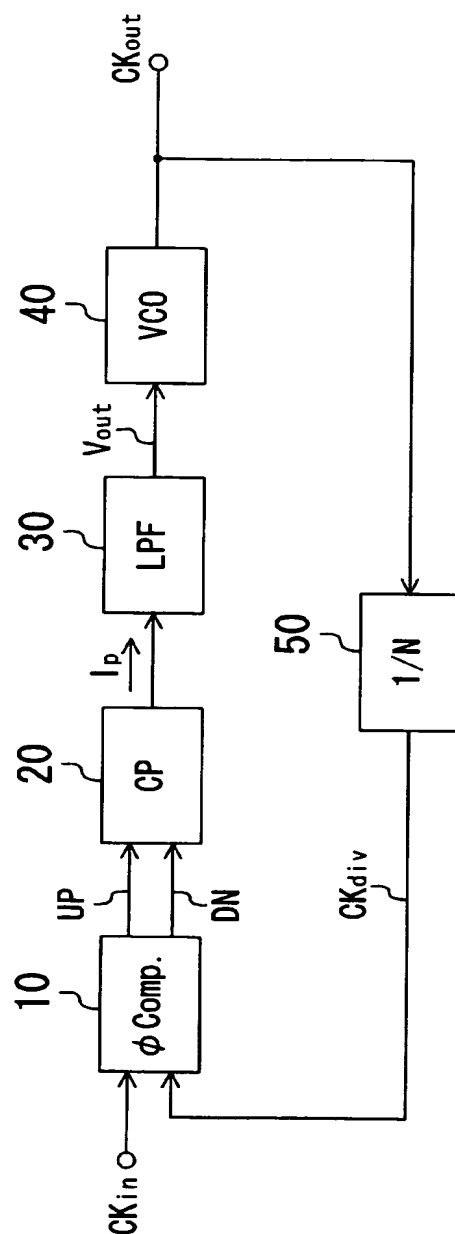
【図 1 2】



【図 1 3】

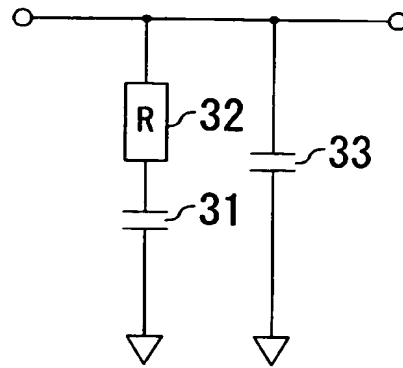


【図 14】

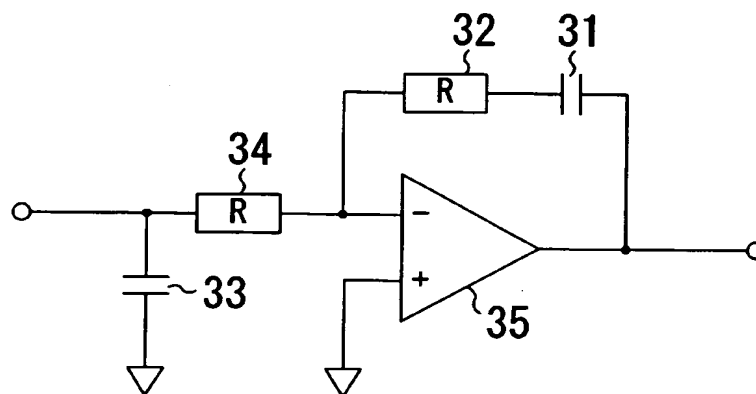


【図 15】

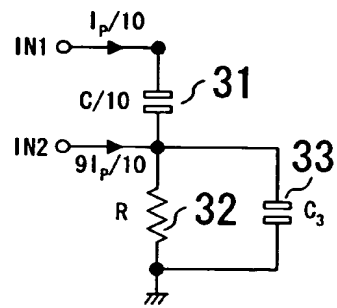
(a)



(b)



【図 16】





【書類名】 要約書

【要約】

【課題】 低域ろ波回路について、従来と同等のフィルタ特性を保ちつつ、容量素子の小型化を図り、安定的に動作可能にする。さらに、容量素子としてMOS容量を用いるようにする。

【解決手段】 第1の容量素子(31)と、これに直列に接続された抵抗素子(32)および第2の容量素子(33)とからなる低域ろ波回路において、第1の容量素子(31)の一端に接続された第1の入力端(IN1)に第1の電流( $I_p/10$ )を与えると同時に、他端に接続された第2の入力端(IN2)に第2の電流( $9I_p/10$ )を与える。ここで、第1の容量素子(31)の容量値は、第1の電流の大きさに応じて設定する。さらに、抵抗素子(32)に直列に電源(34)を設け、第2の入力端(IN2)とグランドとの間に、必ずMOSトランジスタの閾値電圧以上の電圧が印加されるようにする。

【選択図】 図3

特願 2 0 0 3 - 1 8 5 5 7 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1 . 変 更 年 月 日

1 9 9 0 年    8 月 2 8 日

[ 変 更 理 由 ]

新 規 登 録

住    所

大 阪 府 門 真 市 太 字 門 真 1 0 0 6 番 地

氏    名

松 下 電 器 産 業 株 式 会 社